

 Zawartość zarchiwizowana w dniu 2024-05-23

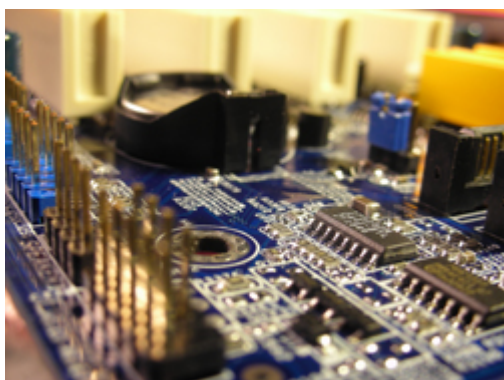


Advanced techniques for high temperature system-on-chip

Wyniki w skrócie

Testowanie układów mikroelektronicznych w wysokiej temperaturze

Dzięki ciągłym ulepszeniom technologii wytwarzania półprzewodników można obecnie wdrażać układy mikroelektroniczne w układach krytycznych stosowanych w przemyśle motoryzacyjnym i lotniczym. Aby zapewnić integralność i niezawodność tych układów, partnerzy projektu ATHIS podjęli się wykonania testów w rzeczywistych warunkach roboczych.



© Shutterstock

Technologia SOI (krzem na izolatorze) została uznana za opłacalne rozwiązanie przy wymianie konwencjonalnych substratów krzemowych (Si) w produkcji układów CMOS (komplementarne układy półprzewodnikowe wykonane w technice metal-tlenek). Technologia SOI zapewnia również izolację dielektryczną oraz znaczną redukcję prądu upływu, dzięki czemu została uznana za preferowaną metodę w projektowaniu różnorodnych układów elektronicznych.

Najważniejszym celem projektu ATHIS było zapewnienie niezawodności działania tranzystorów CMOS budowanych na podstawie tej technologii w warunkach przemysłowych, które wykluczają zastosowanie konwencjonalnych technologii półprzewodników. Partnerzy projektu z Université catholique de Louvain w Belgii

testowali tranzystory LDMOS (półprzewodniki z poprzecznym rozproszeniem wykonane w technice metal-tlenek) w środowiskach o wysokiej temperaturze, które są typowe dla współczesnych silników.

Aby wspomóc uzyskanie wyników pochodzących z symulacji przeprowadzonych za pomocą urządzeń numerycznych, wyprodukowano tranzystor LDMOS, którego struktura osadzona została na niezwykle cienkich warstwach SOI o grubości nieprzekraczającej 80nm. Jest to pierwsze badanie jakościowe zjawiska fizycznego, które wpływa negatywnie na charakterystyki wyjściowe tranzystorów LDMOS na ultracienkich warstwach SOI. W rzeczywistości przy niskich i wysokich napięciach przedniej bramki można zaobserwować różne niepożądane efekty (odpowiednio efekt załamania lub quasi-saturacji).

Wyniki dwuwymiarowych (2D) symulacji numerycznych na platformie ATLAS Silvaco wyraźnie wykazały, że należy uwzględnić oba te efekty, co umożliwi niwelację napięć przebicia. Na podstawie dostępnych wyników symulacji i doświadczeń określono wartości optymalne parametrów geometrycznych, takich jak długość i domieszkowanie obszaru dryfu oraz długość płyty obszaru. W celu dalszej poprawy wydajności tranzystorów LDMOS podejmowane są próby uzyskania dodatkowych kompromisów związanych z ich charakterystykami.

Informacje na temat projektu

ATHIS

Identyfikator umowy o grant: G1RD-CT-2002-00729

Projekt został zamknięty

Data rozpoczęcia

1 Kwietnia 2002

Data zakończenia

31 Marca 2006

Finansowanie w ramach

Programme for research technological development and demonstration on "Competitive and sustainable growth 1998-2002"

Koszt całkowity

€ 4 487 328,00

Wkład UE

€ 3 198 717,00

Koordynowany przez

UNIVERSITE CATHOLIQUE DE LOUVAIN



Belgium

Ten projekt został przedstawiony w...

MAGAZYN RESEARCH*EU



**Results Supplement No.
009**

MAGAZYN RESEARCH*EU



**Results Supplement No.
007**

MAGAZYN RESEARCH*EU



**Results Supplement No.
018**

MAGAZYN RESEARCH*EU



**Results Supplement No.
008**

MAGAZYN RESEARCH*EU



**Results Supplement No.
007**

MAGAZYN RESEARCH*EU



**Results Supplement No.
006**

MAGAZYN RESEARCH*EU



**Results Supplement No.
008**

MAGAZYN RESEARCH*EU



**Results Supplement No.
005**

Ostatnia aktualizacja: 17 Maja 2013

Permalink: <https://cordis.europa.eu/article/id/85063-high-temperature-testing-of-microelectronic-circuits/pl>

European Union, 2025

